

研究論文

サリサイドプロセスにおけるシリサイド化反応の基板導電型依存性

中村 誠

富士通分析ラボ株式会社 分析部

〒211-8588 川崎市中原区上小田中 4-1-1

*e-mail:marumakan@jp.fujitsu.com*

(2001年1月17日受付; 2001年1月25日掲載決定)

シリサイドは、高速 CMOS(Complementary Metal Oxide Semiconductor) ロジックデバイスのゲート電極とソース・ドレイン部に用いられており、デバイス性能を大きく左右する最も重要な材料のひとつになっている。次世代のロジックデバイス製造プロセスの開発を行なっている過程でソース・ドレイン領域に形成したコバルトシリサイドのシート抵抗に基板導電型依存性があることが判った。つまり、n型基板上に形成したコバルトシリサイドに比べp型基板上に形成したコバルトシリサイドのシート抵抗値が高いという問題に直面した。これまでの調査の結果、コバルトシリサイドのシート抵抗は、形成されるシリサイドの膜厚を反映しており、SALICIDE(Self Aligned Silicide)プロセス(特にサイドウォール(側壁)形成プロセス)に深く関係が有ることがわかった。本報は、シリサイド化反応の基板導電型依存性を説明するために、XPS(X-ray Photoelectron Spectroscopy)分析を行ない、シリサイド化プロセスの基板導電型依存性を説明するモデルを構築した結果について示す。

Silicide Formation Process for Source-Drain Depending on Silicon  
Substrate Types in Advanced CMOS Logic Devices

Makoto Nakamura

Fujitsu Analysis Lab. Ltd.

4-1-1 Kamikodanaka, Nakahara-ku, Kawasaki 211-8588, Japan

*e-mail:marumakan@jp.fujitsu.com*

(Received : January 17, 2001 ; accepted : January 25, 2001)

Silicides have been one of the most popular materials for silicon devices. Cobalt silicide especially has become one of the most significant materials for gate electrodes and the contact metal of source-drain regions used in advanced complementary metal oxide semiconductor (CMOS) logic devices. While developing a new generation of CMOS logic devices, we encountered one problem about cobalt silicide: the seat resistance of cobalt silicide formed on source-drain regions depends on the silicon substrate type (p or n type). The problem seems related to the self-aligned silicide (SALICIDE) process used in our previous examinations. The sidewall forming process, especially, affects the seat resistance. I have made a process model to explain the problem and confirmed my hypothesis using X-ray photoelectron spectroscopy (XPS) and well-known phenomena.

## 1. 緒言

SALICIDE プロセスは、写真食刻(フォトリソグラフィ)プロセスを用いずに自己整合的にゲート電極上とソース・ドレイン上のみシリサイドを形成する技術であり、LSI(Large Scale Integration)の製造工程を大幅に短縮することが可能であることから、近年の高速CMOSロジックデバイスを作成する上で欠くことのできないプロセスである。[1][2] CMOS トランジスタは、Fig.1 に示すように一対の p-MOS とランジスタと n-MOS トランジスタを基本単位として構成されている。高速ロジックデバイスを設計するためにはゲート配線抵抗、ソース・ドレイン領域の抵抗、トランジスタ間を結ぶ配線抵抗及び配線とトランジスタのコンタクト抵抗を下げる必要がある。[1] シリサイドをデバイスに利用するためには、1)低配線抵抗、2)低コンタクト抵抗(配線とトランジスタ間)、3)低接合リーク電流(p/n 接合間)を満たさねばならない。[1]

SALICIDE プロセスのポイントは、シリコンと金属の固相反応の選択性を利用している事である。[1] つまり、シリサイド化反応は清浄なシリコン(水素終端シリコン)が露出している箇所でのみ進行する(酸化シリコンの上では反応が進行しない)ことを利用して、自己整合的にソース・ドレイン部とゲート上にシリサイドを形成するものである。コバルトがシリサイド化する際のシリコン表面の清浄度に対する敏感性は、従来のデバイスに用いられてきたチタンに比べはるかに高い。(チタンは薄い酸化シリコンが残存していても容易に酸化シリコンを還元するため、シリサイド化反応時にシリコン表面の清浄度についてあまり敏感でない。)

新しいデバイスを製造するプロセスを構築する過程で、p-MOS トランジスタのソース・ドレイン領域に形成したシリサイドのシート抵抗値が n-MOS トランジスタに形成したシリサイドのも

のに比べて非常に大きいことがわかった。(p-MOS:20 ohm/□, n-MOS:5 ohm/□) シリサイド抵抗がトランジスタ毎に異なっているという問題は、新しいデバイスを設計する際に非常に大きな問題となる。

これまでの調査(断面 TEM(Transmission Electron Microscope)観察など)の結果、シート抵抗の違いは形成されるシリサイドの膜厚で説明することができ、SALICIDE プロセス(特にサイドウォール絶縁膜形成プロセス)が本現象に多大なる影響を与えていることが明らかになっている。また、コバルト成膜前にシリコン基板表面ダメージ層を除去(dry etch)することにより、シート抵抗異常は軽減されることがわかっている。しかし、コバルト成膜前に、シリコン基板表面ダメージ層を除去することは接合深さの浅くなった今日のデバイス作成プロセスには、極力避けたいプロセスである。なぜならシリサイドの反応量(膜厚)はシート抵抗が低く、リーク電流の少ない最適値を実験的に求めて決められているが、シリコン基板の表面層を除去するとシリサイド膜厚を薄くしなければならず(膜厚が同じ場合はリーク電流が増加するため)、シート抵抗が高くなるためである。これまでの調査だけでは、SALICIDE プロセス後のシリコン表面状態に基板導電型依存性があることや、シリコン表面状態の違いがシリサイド化反応にどのような影響を及ぼしているのかについては全く説明できない。

本報告では基板導電型の違いによってシリコン表面状態がどのようにになっているのか、そしてどのようなメカニズムでシリサイド化反応の違いを引き起こしたのかについて表面分析結果と周知の現象からプロセスモデルを作成した結果について言及する。

## 2. SALICIDE プロセス

本実験および考察に先立ち、キーププロセスとも言える SALICIDE プロセスに関して簡単に解説する。SALICIDE プロセスフローの概略を Fig.2 に示す。

(a) STI(Shallow Trench Isolation)法[2]によって素子分離したシリコン基板上に熱酸化によってゲート酸化膜(酸化シリコン)を成長させ、その上に CVD(Cheical Vapor Deposition)法を用いてゲート電極としての多結晶(または非晶質)シリコンを堆積する。

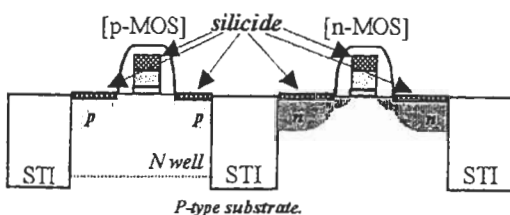


Fig. 1 Typical CMOS structure. A unit of MOS transistor is composed of two different types of transistors. Each transistor separate by shallow trench isolation (STI) filled with silicon oxide.

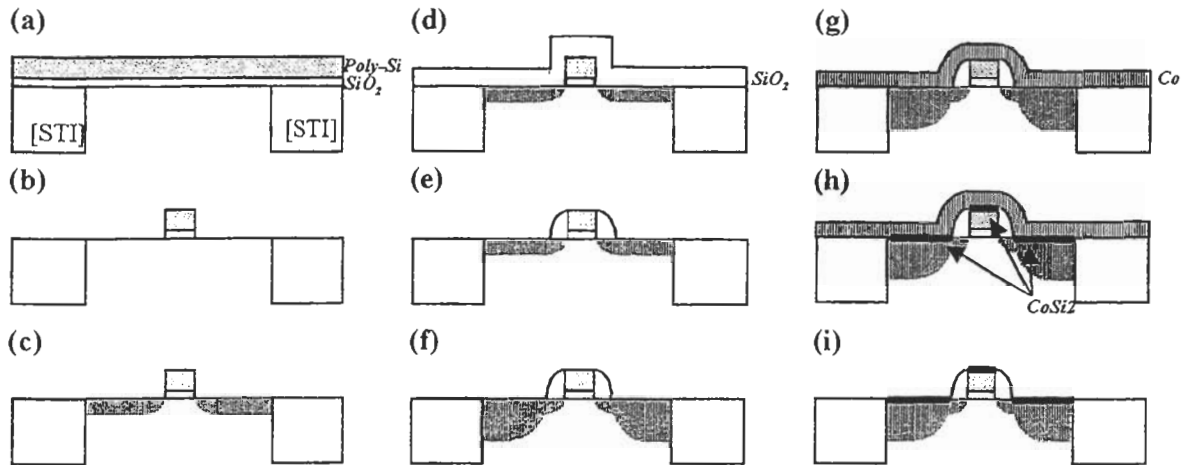


Fig. 2 SALICIDE process flow. Silicide is formed from the selective reaction of silicide and silicon.

- (b) 次にフォトリソグラフィ法と異方性の反応性イオンエッチング(Reactive Ion Etching : RIE)を組み合わせたおなじみの方法でゲート電極を形成する。
- (c) ゲート電極をマスクにして LDD (Lightly Doped Drain)構造のエクステンション部を作成するための低濃度イオン(As<sup>+</sup>または B<sup>+</sup>)注入を行なう。
- (d) ゲート電極のサイドウォール絶縁膜とするために CVD 法により酸化膜(または窒化膜)を堆積する。この時のサイドウォール絶縁膜は、高濃度イオン(As<sup>+</sup>または B<sup>+</sup>)注入時のマスクとしても機能する。
- (e) フロロカーボンを主成分にする混合ガスプラズマによる異方性反応性イオンエッチングを行なうことにより、自己整合(選択)的にゲート電極側壁に絶縁膜を残す。
- (f) ゲート電極とその側壁に形成した絶縁膜をマスクにして高濃度イオン(As<sup>+</sup>または B<sup>+</sup>)を注入する。次に注入した不純物が極力拡散せず効果的に活性化するための RTA(Rapid Thermal Anneal)を行ない、トランジスタを完成させる。
- (g) ソース・ドレイン上部及びゲート電極上に露出したシリコン表面の自然酸化膜をフッ酸系の薬液で除去(水素終端[3][4][5])した後スパッタリング法によりシリコンと固相反応させるコバルトと固相反応時の熱処理でコバルトが酸化することを防ぐキャップ層としての窒化チタンを順次積層する。
- (h) RTA により、コバルトは、清浄(水素終端)シリコンの露出している箇所のみと選択的に反応して(酸化膜上では反応しない)シリサイドを

形成する。つまり、シリサイドはゲート上とソース・ドレイン上にもみ選択的に形成される。

- (i) 酸化防止膜の窒化チタンと未反応コバルトのみを選択的にエッチングする薬液に浸漬することによりゲートとソース・ドレイン部のシリサイドを残して全てのコバルトを除去する。

以上のプロセスによりゲート電極上とソース・ドレイン上に選択的にコバルトシリサイドを形成する SALICIDE プロセスが完了する。

### 3. 実験

シリサイド化反応(表面)の基板導電型依存性を解明するために XPS を用いて基板導電型(注入イオン種)がコバルト成膜前のシリコン表面状態に与える影響について評価を行なった。なお、本実験における XPS 測定条件を Table 1 にまとめて示す。また、実験に用いた試料は Fig. 3 に示すフローに従って作成した。(ここで、測定試料は、およそ 1 週間大気中に放置されていたものである。)基板導電型依存性を比較するために、シリコン表面の注入イオン種依存性を比較する XPS 分析結果を Fig. 4 に示す。これより、若干酸素量(酸素とシリコンの強度比)に違いが見られるものの注入イオン種による際立った違いは、認められなかった。次に Si2p スペクトル及び C1s スペクトルを高エネルギー分解能条件で測定した結果を Fig. 5 に示す。これらより、Si2p スペクトルでは、自然

Table 1 The condition of XPS analysis.

XPS装置	Physical Electronics Inc. Model 5400MC
プローブ	Mg <sub>Kα</sub>
取出角度	45°
エネルギー分解能	0.85eV(Ag4d5/2の半値幅)・高エネルギー分解時

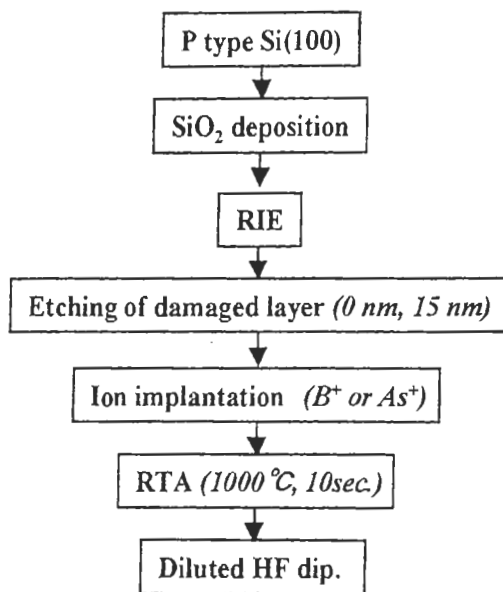


Fig. 3 Experimental sample process flow.

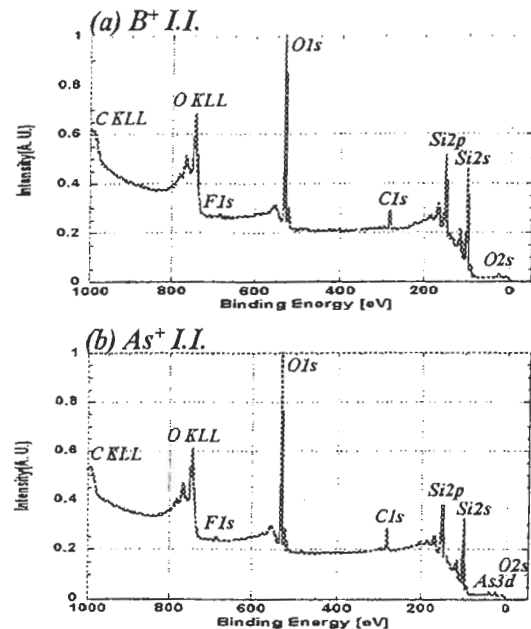


Fig. 4 XPS spectra from each processed silicon surfaces. (a) Boron implanted sample, (b) Arsenic implanted sample.

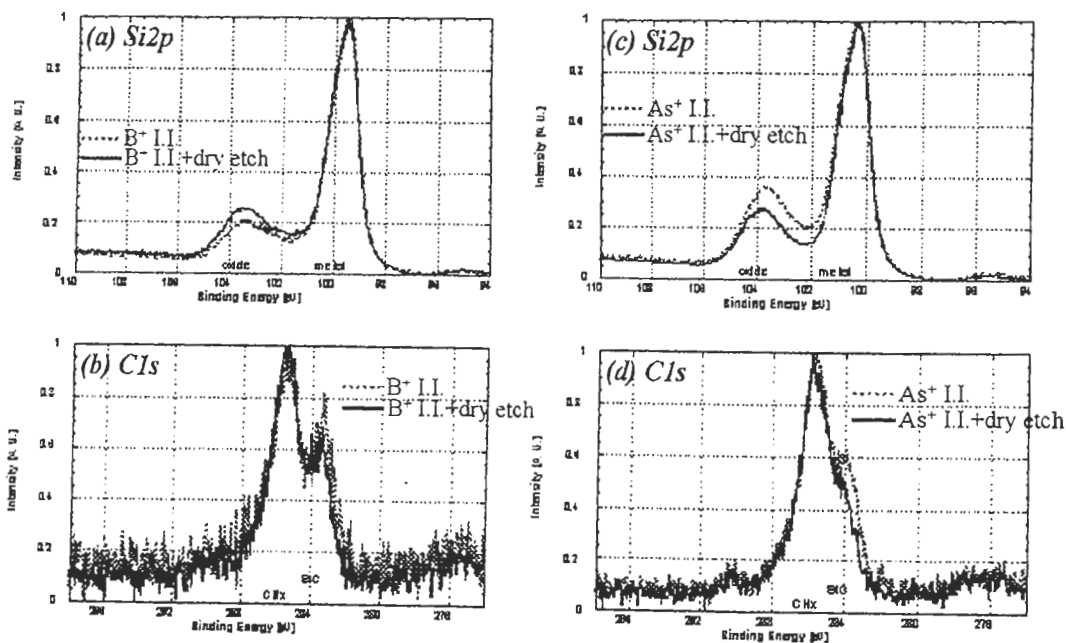


Fig. 5 XPS high-resolution spectra of Si2p and C1s of each processed silicon surface: (a) Si2p spectra of boron-implanted sample, (b) C1s spectra of boron-implanted sample, (c) Si2p spectra of arsenic-implanted sample, (d) C1s spectra of arsenic-implanted sample.

酸化膜に起因するピーク(oxide)と基板に由来するピーク(metal)が観察され、いっぽう C1s では、大気中で付着したと思われる CH<sub>x</sub>に由来するピークに加え、Si-C に由来するピークが観察された。ここで Si-C は、フロロカーボン系のガスを用いたプラズマにシリコンを曝した際に形成されることが

一般的に知られている。[6] これらより、各元素に起因するピークの面積強度を算出後、Physical Electronics Inc. の推奨する感度係数を用いて表面組成を求めた結果を Table2 に示す。なお、Table2 では C1s スペクトルに対してヴォイド関数を用いたピーク分離を行ない C1s スペクトル中に

Table 2 Surface composition (A. C. %) and silicon oxide thickness using XPS high energy resolution spectra.

Sample	C1s		O1s	Si2p	Silicon Oxide Thickness(nm)
	SiC	CHx			
B	5.3	9.7	30.4	54.7	0.35
B+Dry Etch	3.0	9.7	36.0	51.3	0.53
As	3.6	11.2	39.5	45.8	0.69
As+Dry Etch	2.0	9.4	37.0	51.6	0.55

占める Si-C と SiH<sub>x</sub> の構成比を求め、全体組成に占める割合を算出している。また、Si2p スペクトルに対しては、先の手順[7]に従いピーク分離後、自然酸化膜厚を算出した結果も合わせて示している。Si2p スペクトルより求めた自然酸化膜厚の結果より、B<sup>+</sup>を注入した試料(p-type)では表面層を除去(dry etch)することで自然酸化膜が厚くなるのに対して、As<sup>+</sup>を注入した試料(n-type)では、表面層を除去(dry etch)することにより自然酸化膜厚が薄くなるという全く逆の傾向が観察された。ここで表面層を除去(dry etch)した試料では、注入イオン種によらず概ね同じ自然酸化膜厚になっていた。なお、シリコン表面層除去(dry etch)後のに放置したものと同程度であった。また、C1s スペクトルより、Si-C 量に注入イオン種依存性があり(B<sup>+</sup>注入(p-type)試料は As<sup>+</sup>注入(n-type)試料に比べて Si-C 量が多い)、表面層除去(dry etch)プロセスにより Si-C 量が減少することがわかった。この事は、シート抵抗の傾向と一致しており、Si-C 量が多い試料ではシート抵抗が高いことがわかった。ここで、基板からの Si2p スペクトルと Si-C に帰属される C1s スペクトルのピーク位置に基板導電型による違いが観察される理由は、今回用いている試料が半導体であることに起因するもので XPS の測定原理に由来している。(最後に付録として詳細を示しておく。)

4. 考察(プロセスモデル)

一般的に n 型シリコン表面上に形成される自然酸化膜は、p 型シリコン表面上に比べて厚い事が知られている。[5] またシリコン表面をフロロカーボン系のガスプラズマに曝すことで形成される Si-C は、非常に安定で、酸化に対してさえ強い抑制効果(耐酸化性)があることが知られている。

XPS 分析結果およびこれまで知られている知見に基づいて、シリコン基板表面で起きている現象を説明するプロセスモデルを考察した結果を Fig.6 に示すとともに以下に解説する。

0) B<sup>+</sup>または As<sup>+</sup>をイオン注入後、活性化アニー

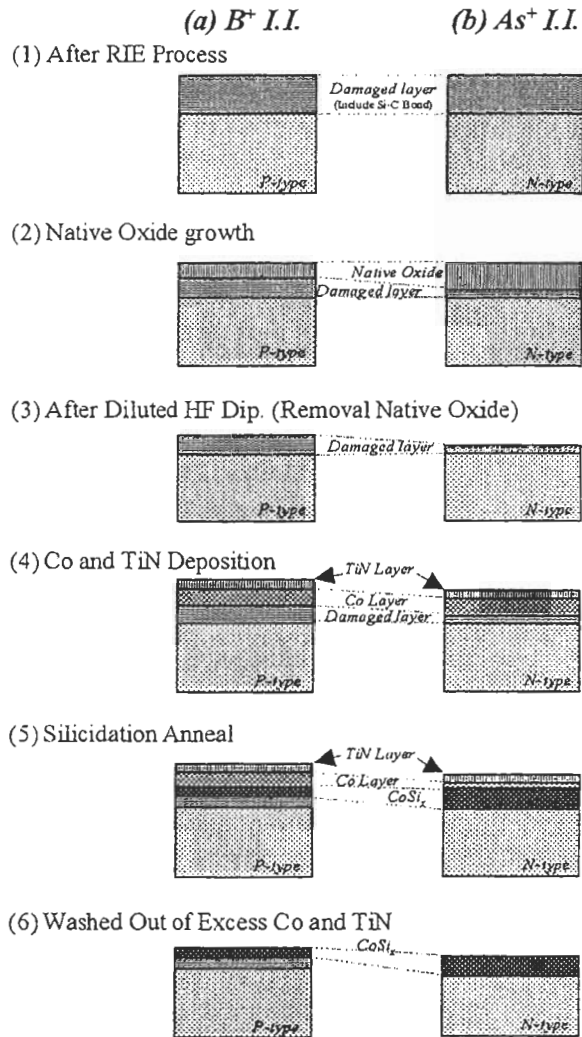


Fig. 6 Process model created to explain sheet resistance problem.

ルによって不純物を活性化する。  
 1) SALICIDE(RIE)プロセスにより、基板導電型に依存することなく基板表面に同様なダメージ層(Si-Si ボンドの切断、非晶質化および Si-C の生成など)が形成される。(Fig.6 (1))  
 2) 基板導電型の違いにより表面に形成される自然酸化膜厚に違いが生じる。つまり n 型基板上では、p 型基板上に比べて厚い自然酸化膜が形成される。この時自然酸化膜は、Si-C などのダメージ層の一部を取り込んだものである。(Fig.6 (2))  
 3) 希フッ酸水溶液に浸漬することにより、表面の自然酸化膜層が除去される。このとき、Si-C などのダメージ層は自然酸化膜に取り込まれているために一緒に除去される。つまり、希フッ酸系の処理後の p 型基板表面には n 型基板表面に比べて多くのダメージ層(Si-C を含む)が残

存する。(n型基板ではダメージ層の多くが自然酸化膜に含まれているため。) (Fig.6 (3))

4) スパッタリングにより, 固相反応のためのコバルトとシリサイド化反応時の酸化バリアとなる窒化チタン層を順次積層する。(Fig.6 (4))

5) アニール(Rapid Thermal Anneal : RTA)を行ない固相反応によるシリサイド化反応を行なう。このとき Si-C(ダメージ層)の残存量によりシリサイド化反応量に違いが生じ, 形成されるシリサイド膜厚に基板導電型依存性が生じる。この結果, Si-Cが多く残存しているp型基板ではシリサイド化が抑制されるため, n型基板上のコバルトシリサイドに比べてその膜厚が薄くなる。(Fig.6 (5))

6) 薬液浸漬により, 酸化バリアとしての窒化チタンと未反応(シリサイド化していない)コバルトを選択的に溶解する。

以上がシート抵抗(シリサイド膜厚)に基板導電型依存性が見られた理由である。

また, Si2p スペクトルから求めた自然酸化膜厚がダメージ除去プロセス(dry etch)によって増減する事に基板導電型依存性が見られた理由については以下のように考える事で説明ができる。基板導電型によらず反応性イオンエッチングプロセスで Si-C を含むダメージ層が形成される。この時 p型基板では, Si-Cの存在が酸化を抑制するが, 電子を多く含む n型基板では活性(反応性に富んでいる)なため, Si-C が存在するにもかかわらず, 酸化が進行しダメージにより形成されているシリコンの未結合手の存在が通常よりも厚い

自然酸化膜を形成する結果になったものと考えている。また表面汚染層を除去するプロセスで, Si-C とダメージ層が除去されるためにほとんどダメージのないシリコンと同程度の自然酸化膜厚の表面になったものと考えている。

## 5. まとめ

次世代の CMOS ロジックデバイスのソース・ドレイン領域に形成するコバルトシリサイドのシート抵抗に基板導電型依存性が生じる原因を究明するために XPS 分析を行ない, 分析結果と周知の知見を考慮してコバルトのシリサイド化反応に基板導電型依存性が見られる現象を説明するプロセスモデルを作成した。

これより, シリサイドのシート抵抗に基板導電型依存が生じる原因は, 形成されるシリサイドの膜厚が異なるためであり, シリサイド膜厚が異なる理由は, SALICIDE(RIE)プロセスで形成されたダメージ層の残存量の違いが, シリサイド化反応量に大きな影響を与えたためと思われる。つまり Si-C 等を含むダメージ層が厚いほどシリサイド化反応が抑制されるため, 形成されるシリサイド膜厚に基板導電型依存性が生じたものと思われる。

### [付録]

XPSでは, 通常フェルミ準位を基準にして電子の束縛エネルギーを計測している。半導体基板材料では, 以下のFigureに示すようにその禁制帯(バンドギャップ)内にフェルミ準位があり, シリコンのバンドギャップは約1.1eVである。半導体材料では, 不純物量をコントロールすることによって禁制帯内におけるフェルミ準位の位置を制御している。シリコンのフェルミ準位は, pやAsなどのn型不純物が入ると禁制帯の上方(伝導帯側)に移動し, Bなどのp型不純物が入ると禁制帯の下方(価電子帯側)に移動する。この結果, 内殻準位のピーク(たとえばSi2p)は, n型基板のものに比べてp型基板のものは高結合エネルギー側に見える。

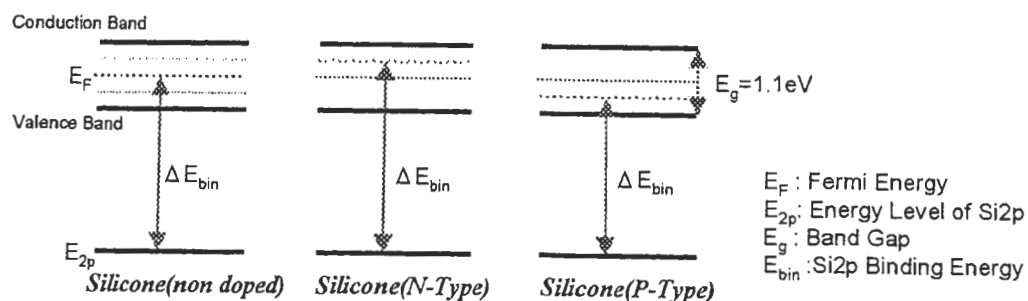


Figure Band Energy Diagram of Silicon



〔参考文献〕

- [1] たとえば, 中村友二, 川村和郎, 池田和人: 半導体研究 XXXXIII, 235
- [2] たとえば, 桑田孝明: 第9回プロセス評価分析技術セミナー予稿集(日製産業), 1(1999)
- [3] T. Takahagi, I. Nagai, A. Ishitani, H. Kuroda and Y. Nagasawa: J. Appl. Phys., 64, 3516 (1988)
- [4] 服部健雄: 表面技術, 45, 12(1994)
- [5] 森田瑞穂, 大見忠弘: ウルトラクリーンテクノロジー, 1, 22(1989)
- [6] たとえば, G. S. Oehrlein, J. G. Clabes, G. J. Coyle, J. C. Tsang, and Y. H. Lee: J. Vac. Sci. Technol., A4(3), 750(1986)
- [7] 中村誠: J. Surf. Anal., 2, 211(1996)

査読者: 田中武(広島工大), 坂本邦博(電総研),

田中: 本論文は, シリサイド化反応の基板導電型依存性を説明するために, XPS分析を行ない, その依存性を説明するモデルを構築しており, XPSを用いたシリサイドプロセス解析に有用な情報を提供している。

坂本: pMOS と nMOS のシート抵抗値がそれぞれ  $20\text{ohm/cm}^2$ ,  $5\text{ohm/cm}^2$  とありますが,  $\text{CoSi}_2$  の抵抗率を  $20\mu\Omega\text{cm}$  とすると, 形成されたシリサイド膜厚がそれぞれ 10nm, 40nm 程度だったということですか? つまりシリサイドの質(=抵抗率)は同じと考えてよいのでしょうか? (シート抵抗は習慣で  $\Omega/\square$  と表記されますが, 次元は  $[\Omega]$  で,  $"/\square"$  は  $"/\text{cm}^2$  の意味ではありません)

著者: 御指摘のとおりだと思います。早速訂正させて頂きました。御指摘ありがとうございます。また, 坂本さん指摘の膜厚の件ですが, シリサイド表面及び界面の凹凸があり, 正確には膜厚保を求めるのは難しいのですが, 概ねおっしゃられる膜厚で, シリサイド膜質は同等なものでした。

坂本: サリサイドプロセスの説明で, (f)と(g)の間に RTA(不純物活性化のための)が入ることを述べた方がよいと思います。そうしないと専門家以外には Fig.3 の RTA の意味がわかりません。

著者: 御指摘ありがとうございます。早速説明文

を加筆いたしました。

田中: イオン注入の条件が記述されていません。...kV... $\text{cm}^2$  でしょう? また, 投影飛程はどのくらいですか? また, 不純物濃度はいかにになりますか? As と B のイオン注入時の Si 基板へのダメージは異なると思います。いかがでしょうか?

著者: イオン注入条件は, 今回の試料がかつて実際のライン流れていたものであり, 人によっては弊社のデバイス設計が想像できますので御容赦ください。何より関連部門の許可を得ていません。注入起因のダメージですが, 注入直後はおっしゃるとおり異なっていると思いますが, イオン注入後の RTA で完全に回復しています。

田中: Fig.5 において, 真性半導体の Si2p ピークがあると Si2p ピークのシフトがフェルミレベルの位置に起因することをさらに強調できると考えられます。

著者: 今回の測定目的は p 型シリコンと n 型シリコンの違いは何かを知るための実験ですのでノンドープのシリコン(できれば FZ 法で作ったもの)の測定を行っていませんし, 試料固定法の工夫も特に行っていませんし, 帯電の補正も一切行なっていません。御指摘の議論のためにはこれらに十分配慮した測定が必要であると考えています。ということで御期待に添える答えになりませんね。申し訳ありません。

田中: 窒化チタンと未反応コバルトを選択的に溶解する薬液浸漬の薬液は何ですか? 文献は?

著者: プロセス上のノウハウ(側壁にコバルトが残らない条件を探した結果決められたもの)に相当する問題なので私の判断では, お答えすることができません。しかし, シリコン系半導体の前処理プロセスで通常使う薬品の組み合わせである事で, 御勘弁ください。ということで, 引用すべき文献は社内ドキュメントです。

田中: 付録において  $\Delta E_{\text{bin}}$  は, 半導体中のドーピング濃度により異なることを記述したほうが良いのでは? また, Sze の本では, バンドギャップが 1eV になるのは, 約  $10^{18}\text{cm}^{-3}$  程度です。

著者: 結合エネルギー(フェルミ準位)の不純物濃度依存性については文献を紹介しておきますのでこれで代用させてください。(A. S. Grove: Physics and Technology of Semiconductor Devices(John Wiley & Sons Inc., A. S. グローブ(垂井康夫 監訳): 半導体デバイスの基礎, 難波進, 岸野正剛: 半導体デバイスの基礎) 私は単に上記 A. S. Grove の教科書の

TableにGe, Si, GaAs, SiO<sub>2</sub>の物性データがあり、シリコンのエネルギーギャップが1.11eVと記載されているので、単純にそれを引用して使っただけです。特に何ら考えを持っていません。

田中: イオン注入した基板でなく、通常のnあるいはp型ウェハを用いたデータはありますか? ダメージ層の起源がイオン注入の可能性はいかがでしょうか?

著者: 通常の基板を測定したことはありますが今回の実験の一環として測定はしていません。イオン注入起因のダメージとの切り分けを気にしていらっしゃるようですが、われわれの用いている条件下では活性化アニールを行なうことによりTEM観察および電気特性で検出できるオーダでのダメージはないことを確認しています。われわれは当初BやAsと何らかの化合物が形成されているのではないかと思っておりましたが、どうもそうではなさそうだという結論に至っています。

坂本: 私は、XPSのことはよくわかりませんので、スペクトルの解釈やTable2の導出、精度等は筆者の論に沿って議論を進めます。本論文のモデルは次のように要約できます。

- (1) サイドウォール形成RIEでSi-C結合を含むダメージ層ができる。
- (2) p型基板よりもn型基板のほうに厚い自然酸化膜ができる。
- (3) dil HFで自然酸化膜を除去後残るダメージ層はp型基板の方が厚い。
- (4) Si-C結合を含むダメージ層はシリサイド化反応を阻害する。
- (5) その結果、p型基板に形成されるシリサイド膜厚がn型よりも薄くなる。

(1)は広く受け入れられていると思います。(2)は希弗酸処理後室温の自然酸化過程ではその通りですが、Fig.3のプロセスではRIE後にイオン注入とRTAがありますからその間の酸化膜厚が問題になります。p型n型の区別ができるのはRTA後ですから、RTA降温中から希弗酸処理までの間の自然酸化が希弗酸処理後の自然酸化と同様かどうかの吟味が必要と思います。(3)と(5)はXPS, TEMの実験結果で、(4)は(3)と(5)を結びつけるための推察です。(4)を直接証明するような実験結果、例えば、1stシリサイド化RTAの時間や温度を変えた場合のシリサイド膜厚の変化がわかると、このモデルは強固なものになると思います。

著者: 拙の論旨の要約ありがとうございます。私は、本現象を説明するために御指摘のようにRTA後の酸化膜厚が違ふと考えました。RTAにより活性化した後の降下プロセスで酸化膜厚に基板導電型依存性が出たものと考えたわけです。RTA後の降温プロセスで形成される酸化膜は希フッ酸処理後の自然酸化膜とは違ったものになっていると思います(当然エッチングダメージや不純物が混入している)が、教科書(たとえば先ほどのA. S. Groveの本)によれば、酸化の初期プロセスは酸素とシリコンの反応速度に律速されます。そこでp型基板とn型基板を比べればn型の方が活性であるから多少妨害するSi-Cのようなものがある場合でも酸化が進行するであろうと考えると全ての現象が説明できたわけです。この事で現象を推察し説明つけたのが今回の私の仕事です。御指摘のとおり私の推察を確固たるものにするためには、おっしゃる通りの実験を進めていくことが必要であると思います。

坂本: 現在の生産プロセスではこのシート抵抗の問題は解決されていると思いますが、本論文の知見がどのように活用されたのかに非常に興味があります。

著者: 御指摘のとおり、本問題はすでに解決されています。実際の製造プロセスでは障害が起きたとき、解析部隊へ問題解決を依頼するとともに独自に力づくで解決する事があります。今回の問題点をどのように解決したかについては製造上の問題があるので明記できませんが、プロセスを評価して現象を解明する立場にいる私からのコメントは、RIE条件を工夫してSiCが形成されない条件(つまりシリコン表面に高速のフロロカーボン系イオンが当たらない条件)を検討するように指示しました。そのためには以下に示す様にいくつかのアプローチ方法があると思います。たとえば(1) RIE条件を途中で変える(サイドウォール形成時とシリコンが顔を出す前で条件を変える)。(2) エッチングストップを置きフロロカーボンガスイオンが当たらないようにする。(3) エッチング条件の再検討(たとえばイオンエネルギーの最適化やシリコン表面に厚いフロロカーボンポリマー保護膜を形成する条件を探るなど)

今回は、お忙しい中貴重な意見をお聞かせいただきありがとうございました。